

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

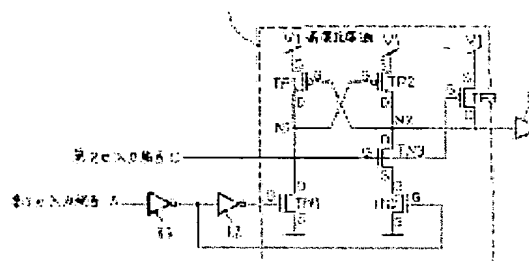
**SEMICONDUCTOR LOGIC CIRCUIT AND CIRCUIT LAYOUT STRUCTURE**

**Patent number:** JP10084274  
**Publication date:** 1998-03-31  
**Inventor:** YAMAMOTO HIROO; AKAMATSU HIRONORI; SAKIYAMA SHIRO  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
**- international:** H03K19/0185; H01L21/50; H01L21/8238; H01L27/092  
**- european:**  
**Application number:** JP19960237760 19960909  
**Priority number(s):**

**Abstract of JP10084274**

**PROBLEM TO BE SOLVED:** To prevent a through-current of a level shifter circuit and a state of an unstable circuit output from being caused in the case that an input to the level shifter circuit is unstable.

**SOLUTION:** A 3rd N channel MOS transistor(TR) TN3 is provided at a drain of a 2nd N channel MOS TR TN2 whose source connects to ground, and to a drain of the 3rd N channel MOS TR TN3, a gate of a 1st P channel MOS TR TP1, a drain of a 2nd P channel MOS TR TP2, and a drain of a 3rd P channel MOS TR TP3 are connected, and to a drain of the 1st N channel MOS TR TN1, the drain of the 1st P channel MOS TR TP1 and the gate of the 2nd P channel MOS TR TP2 are connected. Then the 3rd N channel MOS TR TN3 is N turned off and the 3rd P channel MOS TR TP3 is turned on to provide a high level V1 even when an input to the level shifter circuit is unstable.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-84274

(43)公開日 平成10年(1998) 3月31日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	19/0185		H 0 3 K 19/00	1 0 1 E
H 0 1 L	21/50		H 0 1 L 21/50	
	21/8238		27/08	3 2 1 L
	27/092			

審査請求 未請求 請求項の数17 ○L (全 19 頁)

(21)出願番号 特願平8-237760

(22)出願日 平成8年(1996)9月9日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山本 裕雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 赤松 寛範

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 崎山 史朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

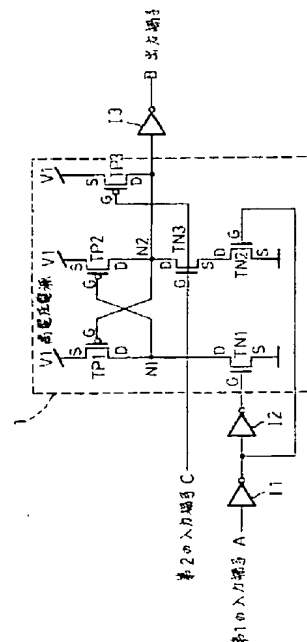
(74)代理人 弁理士 松村 博

(54)【発明の名称】 半導体論理回路および回路レイアウト構造

(57)【要約】

【課題】 レベルシフト回路の入力が不定となった場合に生じるレベルシフト回路の貫通電流と、回路出力不定の状態が生じないようにする。

【解決手段】 ソース電位を接地した第2のNチャネルMOSTランジスタTN2のドレインに第3のNチャネルMOSTランジスタTN3を設け、この第3のNチャネルMOSTランジスタTN3のドレインに、第1のPチャネルMOSTランジスタTP1のゲート、第2のPチャネルMOSTランジスタTP2のドレイン、第3のPチャネルMOSTランジスタTP3のドレインを接続し、第1のNチャネルMOSTランジスタTN1のドレインに、第1のPチャネルMOSTランジスタTP1のドレイン、第2のPチャネルMOSTランジスタTP2のゲートを接続した構成であり、第3のNチャネルMOSTランジスタTN3をオフし、第3のPチャネルMOSTランジスタTP3をオンすることにより、レベルシフト回路への入力が不定となった場合であっても、高電源電位V1が出力される。



## 【特許請求の範囲】

【請求項1】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタのゲートで受け、第2のNチャネルMOSトランジスタのドレインを第3のNチャネルMOSトランジスタのソースと接続し、第1のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第3の電源に接続した第3のPチャネルMOSトランジスタを備え、前記第3のNチャネルMOSトランジスタと第3のPチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には前記第3の電源電圧を入力することによって、前記出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には前記第2の入力端子に第2の電源電圧を入力することにより、第1の電源の供給を切った場合にも出力端子信号を第3の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項2】 前記第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタと第2のPチャネルMOSトランジスタの少なくとも1つに、高電流駆動が可能であるがオフ電流の大きいデバイスパラメータを有するトランジスタを用い、回路非動作時にはオフ電流の小さな第1のPチャネルMOSトランジスタと第2のNチャネルMOSトランジスタあるいはそれに相当するトランジスタがオフするように構成したことを特徴とする請求項1記載の半導体論理回路。

【請求項3】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインを第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインを第2のPチャネルMOSトランジスタのドレインと第1のPチャネルMOSトランジスタのゲートと接続し、第3のNチャネルMOSトランジ

スタのドレインを第2のPチャネルMOSトランジスタのゲートと第1のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第3の電源に接続した第4のNチャネルMOSトランジスタを備え、前記第3のNチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には第3の電源電圧を入力し、前記第4のNチャネルMOSトランジスタのゲートに第3の入力端子を接続し、この第3の入力端子に第2の電源電圧を入力することによって、前記出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には前記第2の入力端子に第2の電源電圧を入力し、前記第3の入力端子に第3の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子信号を第2の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項4】 前記第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタと第1のPチャネルMOSトランジスタの少なくとも1つに、高電流駆動が可能であるがオフ電流の大きいデバイスパラメータを有するトランジスタを用い、回路非動作時にはオフ電流の小さな第2のPチャネルMOSトランジスタと第3のNチャネルMOSトランジスタがオフするように構成したことを特徴とする請求項1記載の半導体論理回路。

【請求項5】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインは第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインを第4のNチャネルMOSトランジスタのソースと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第4のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第3の電源に接続

した第3のPチャネルMOSトランジスタを備え、前記第3のNチャネルMOSトランジスタと前記第4のNチャネルMOSトランジスタと前記第3のPチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には第3の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には前記第2の入力端子に第2の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子信号を第3の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項6】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインは第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインを第4のNチャネルMOSトランジスタのソースと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第4のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第3の電源に接続した第5のNチャネルMOSトランジスタを備え、前記第3のNチャネルMOSトランジスタと前記第4のNチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には第3の電源電圧を入力し、前記第5のNチャネルMOSトランジスタのゲートに第3の入力端子を接続し、この第3の入力端子に第2の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には前記第2の入力端子に第2の電源電圧を入力し、前記第3の入力端子に第3の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子信号を第1の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項7】 前記第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタと第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタの少なくとも1つに、高電流駆動が可能であ

るがオフ電流の大きいデバイスパラメータを有するトランジスタを用い、回路非動作時にはオフ電流の小さな第3のNチャネルMOSトランジスタと第4のNチャネルMOSトランジスタがオフするように構成したことを特徴とする請求項5または6記載の半導体論理回路。

【請求項8】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする低閾値で高電流駆動が可能であって、ゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタのゲートで受け、前記第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であって、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインはゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインをゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第4のNチャネルMOSトランジスタのソースと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第4のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続してソースを第2の電源電圧に接続した第5のNチャネルMOSトランジスタを備え、

前記第3のNチャネルMOSトランジスタと第4のNチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には前記第1のNチャネルMOSトランジスタおよび第2のNチャネルMOSトランジスタのゲート耐圧範囲内の第4の電源電圧を入力し、前記第5のNチャネルMOSトランジスタのゲートに第3の入力端子を接続し、この第3の入力端子には第2の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には第2の入力端子に第2の電源電圧を入力し、第3の入力端子に第3の電源電圧もしくは第4の電源電圧を入力することによって、出力端子信号が第2の電圧に固定され、第1の電源の供給を切った場合にも出力端子信号を第2の電源電圧レベルに固定

するように構成したことを特徴とする半導体論理回路。

【請求項9】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインはゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインをゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第4のNチャネルMOSトランジスタのソースと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第4のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続してソースを第2の電源に接続した第3のPチャネルMOSトランジスタを備え、

前記第3のNチャネルMOSトランジスタおよび第4のNチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には前記第1のNチャネルMOSトランジスタおよび第2のNチャネルMOSトランジスタのゲート耐圧範囲内の第4の電源電圧を入力し、前記第3のPチャネルMOSトランジスタのゲートに第3の入力端子を接続し、この第3の入力端子には第3の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には第2の入力端子に第2の電源電圧を入力し、第3の入力端子に第2の電源電圧を入力することによって出力端子の信号が第3の電源電圧に固定され、第1の電源の供給を切った場合にも出力端子信号を第3の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項10】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタの

ゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第2のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースを第3のPチャネルMOSトランジスタのドレインと接続し、第3のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第2の電源に接続した第3のNチャネルMOSトランジスタを備え、前記第3のNチャネルMOSトランジスタと第3のPチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には第2の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には第3の電源電圧を入力することによって第1の電源の供給を切った場合にも出力端子信号を第2の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項11】 前記第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタと第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタの少なくとも1つに、高電流駆動が可能であるがオフ電流リークが大きいデバイスパラメータを有するトランジスタを用い、回路非動作時にはオフ電流の小さな第3のPチャネルMOSトランジスタがオフするように構成したことを特徴とする請求項10記載の半導体論理回路。

【請求項12】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのソースと第2のNチャネルMOSトランジスタのソースを第3のNチャネルMOSトランジスタのドレインと接続し、第3のNチャネルMOSトランジスタのソースを第2の電源に接続し、第1のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのゲートと接続し、第2のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと接続し、第1のPチャネルMOSト

ランジスタと第2のPチャネルMOSトランジスタのソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続し、出力端子にドレインを接続しソースを第3の電源に接続した第3のPチャネルMOSトランジスタを備え、

前記第3のPチャネルMOSトランジスタと第3のNチャネルMOSトランジスタのゲートに第2の入力端子を接続し、この第2の入力端子に回路動作時には第3の電源電圧を入力することによって、出力端子より第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子からの信号と同相の信号を出力し、回路非動作時には第2の入力端子に第2の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子信号を第3の電源電圧レベルに固定するように構成したことを特徴とする半導体論理回路。

【請求項13】 第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタと第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタの少なくとも1つに、高電流駆動が可能であるがオフ電流リークが大きいデバイスパラメータを有するトランジスタを用い、回路非動作時にはオフ電流の小さな第3のNチャネルMOSトランジスタがオフするように構成したことを特徴とする請求項12記載の半導体論理回路。

【請求項14】 第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子からの信号を、第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタのゲートで受け、第1の入力端子からの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタのゲートで受け、第1のNチャネルMOSトランジスタのドレインはゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第3のNチャネルMOSトランジスタのソースと接続し、第2のNチャネルMOSトランジスタのドレインをゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第4のNチャネルMOSトランジスタのソースと接続し、第3のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのドレインと第2のPチャネルMOSトランジスタのドレインと第4のNチャネルMOSトランジスタのゲートおよび第1の入力端子からの信号の逆位相の信号をゲートに入力した第5のNチャネルMOSトランジスタのソースと接続し、第4のNチャネルMOSトランジスタのドレインを第1のPチャネルMOSトランジスタのゲートと第2のPチャネルMOSトランジスタのドレインと第3のNチャネルMOSトランジスタのゲートおよび第1の入力端子からの信号をゲートに入力した第6のNチャネルMOSトランジスタのソースと接続し、第1のPチャネルMOSトランジスタと第2のPチャネルMOSトランジスタのソースと第5のNチャネルMOSトランジスタと第6のNチャネルMOSトランジスタのドレインを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタのドレインを出力端子に接続した回路構成であって、入力信号が固定されている場合に前記第5のNチャネルMOSトランジスタもしくは第6のNチャネルMOSトランジスタによって、前記第1のNチャネルMOSトランジスタもしくは第2のNチャネルMOSトランジスタのオフ電流が小さくなるように構成したことを特徴とする半導体論理回路。

【請求項15】 前記第1の入力端子からの信号をゲートに入力し、ソースを第2の電源に接続し、ドレインを前記第1のPチャネルMOSトランジスタのドレインに接続した前記第1のNチャネルMOSトランジスタと前記第1のPチャネルMOSトランジスタのソースを、前記第1の電源の電位とするデバイスパラメータを有する前記第2のNチャネルMOSトランジスタのソースに接続し、この第2のNチャネルMOSトランジスタのドレインを前記第3の電位と接続し、第1のPチャネルMOSトランジスタのドレインを前記第1の入力端子からの信号と逆位相の信号と接続し、第2のNチャネルMOSトランジスタのゲートを論理回路非動作時には前記第2の電源と接続し、論理回路動作時には前記第1の電源もしくは前記第2の電源と接続する回路動作を行う構成にしたことを特徴とする請求項1～14のいずれか1項に記載の半導体論理回路。

【請求項16】 セルベースレイアウト設計もしくはゲートアレイレイアウト設計手法において、レベルシフト回路を半導体装置から出力する出力バッファ回路もしくは出力バッファコントロール回路に入力する信号に適應するようにした回路レイアウト構造であって、装置のすべての入力セルと出力セルとに設けられた請求項1～14のいずれか1項に記載の半導体論理回路と、所定の方向に延びる第1の電源電圧の配線と、請求項1～14に記載の第2の入力端子もしくは第3の入力端子のいずれか一方の配線または両方の配線とを備え、前記入力セルおよび出力セルとを配置することによって、回路の電源と制御信号端子および／もしくはウエルとが接続されるように構成したことを特徴とする回路レイアウト構造。

【請求項17】 請求項2、4、7、8、9、11、13に記載の半導体論理回路においては高電流駆動可能なトランジスタ共通ウエルを備えるようにしたことを特徴とする請求項16記載の回路レイアウト構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、少なくとも2つの電源電圧を持つ半導体集積回路の小さな電源電圧の振幅信号を大きな電源電圧の振幅信号に変換するレベルシフト回路もしくはレベルシフト回路として適用される半導体論理回路と、その回路を良好に配線、配置するための回路レイアウト構造に関するものである。

## 【0002】

【従来の技術】一般的に、レベルシフト回路は、低電位レベル信号振幅を高電位レベル信号振幅の信号に変え、低電位レベル信号振幅の論理回路において消費電力の削減を行い、半導体装置からの信号出力を半導体装置外部の信号振幅規格に合わせるために高電位レベル信号振幅に変換する場合に使われ、半導体装置の低消費電力化に寄与している。

【0003】図12は従来のレベルシフト回路の一般的な構成例を示す回路図である。1はレベルシフト回路であり、高電圧V1にソースを接続した第1のPチャネルMOSトランジスタTP1および第2のPチャネルMOSトランジスタTP2と、第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のゲートをドレインに接続し、かつソースを接地した第1のNチャネルMOSトランジスタTN1と、第2のPチャネルMOSトランジスタTP2のドレインと第1のPチャネルMOSトランジスタTP1のゲートをドレインに接続し、かつソースを接地した第2のNチャネルMOSトランジスタTN2とから構成されている。

【0004】入力端子Aより前記第1のNチャネルMOSトランジスタTN1のゲートに第1の低電圧振幅インバータI1と第2の低電圧振幅インバータI2とを介して信号が入力し、前記第2のNチャネルMOSトランジスタTN2のゲートには前記第1の低電圧振幅インバータI1のみを介してNチャネルMOSトランジスタTN1のゲート入力信号とは逆位相の信号が入力し、第2のPチャネルMOSトランジスタTP2と第2のNチャネルMOSトランジスタTN2のドレインに接続される出力端子Bから高電圧振幅インバータI3を介して信号が出力するようになっている。

【0005】以下にレベルシフト回路1において、入力端子Aより0V(ボルト)から2Vの振幅電圧が入力し、それを0Vから3Vの振幅電圧の信号に変換する場合について説明する。

【0006】すなわち、入力端子Aが2Vから0Vに変化した場合、第1の低電圧振幅インバータI1の出力は0Vから2Vへ変化し、第2のNチャネルMOSトランジスタTN2に入力する。また第2の低電圧振幅インバータI2により2Vから0Vの信号が出力し、第1のNチャネルMOSトランジスタTN1に入力する。第1の

NチャネルMOSトランジスタTN1はオン状態からオフ状態へと変化し、同時に第2のNチャネルMOSトランジスタTN2はオフ状態からオン状態へと変化する。

【0007】そのとき、第2のノードN2の電位は、電荷が第2のNチャネルMOSトランジスタTN2を介して放電することにより電位が低下する。このことにより第1のPチャネルMOSトランジスタTP1のゲート電位が低下し、第1のPチャネルMOSトランジスタTP1がオンする。同時に第1のノードN1は第2のNチャネルMOSトランジスタTN2がオフすることで電位が上昇し、第2のPチャネルMOSトランジスタTP2がオン状態からオフ状態へと以降する。

【0008】そして、第1のNチャネルMOSトランジスタTN1と第1のPチャネルMOSトランジスタTP1の作用により第1のノードN1の電位が上昇し、第2のNチャネルMOSトランジスタTN2と第2のPチャネルMOSトランジスタTP2の作用により第2のノードN2の電位が下降して、最終的に第1のノードN1は3Vとなり、第2のノードN2が0Vとなる。第2のノードN2の電位により3V動作の高電圧振幅インバータI3の出力は3Vとなる。入力端子Aが0Vから2Vへ変化した場合は同様の作用により出力端子Bに0Vが出力される。

## 【0009】

【発明が解決しようとする課題】しかしながら、従来のレベルシフト回路では以下のような問題があり、本発明は下記の項目の課題を解決するものである。

【0010】① 低電圧動作回路もしくは低電圧動作半導体装置から、高電圧動作回路もしくは高電圧動作半導体装置への信号の転送を実現するレベルシフト回路において、超低消費電力半導体装置を実現するために低電圧動作回路が非動作時、低電圧動作回路もしくは低電圧動作半導体装置の電源供給を切るシステム構成とすることが考えられる。

【0011】しかし、低電圧動作回路の電源供給を切る構成とした場合に、低電圧振幅の出力信号電圧は不定となり、レベルシフト回路の高電位電源から貫通電流が流れてしまうことが考えられる。また、このとき、レベルシフト回路からの出力も不定となってしまう。

【0012】② 低電圧動作回路のMOSトランジスタをさらに低電圧で動作させることを考えた場合、動作速度の確保のために電圧に対して低耐圧であるが高速で動作するデバイスパラメータを備えたMOSトランジスタを使用することが考えられる。

【0013】図12に示したレベルシフト回路における入力端子Aの入力振幅が変換される電位振幅に対して非常に小さい場合、図12の回路構成ではインバータI1およびI2として高速であるが低耐圧のMOSトランジスタを使い、回路動作速度を上げることが考えられるが、第1のNチャネルMOSトランジスタTN1と第2のNチャネルMOSトランジスタTN2はオン状態からオフ状態へと変化する。



チャネルMOSトランジスタTN2のゲート入力電圧が小さいことにより、所望の動作速度を実現するためには第1のNチャネルMOSトランジスタTN1と第2のNチャネルMOSトランジスタTN2のゲート幅を大きくする必要がある。

【0014】ゲート幅を小さくするために高速であるが低耐压のMOSトランジスタを第1のNチャネルMOSトランジスタTN1と第2のNチャネルMOSトランジスタTN2に使用すると、第1のノードN1または第2のノードN2の電圧のためにMOSトランジスタが破壊されてしまうことも考えられる。

【0015】また、MOSトランジスタの構造上、高速で動作する高電流駆動能力のトランジスタはオフ電流が非常に大きいため、トランジスタの耐压上問題がない場合でも、回路非動作時に大きな電源リーク電流が生じることになり、低消費電流の半導体装置にあっては好ましくない。

【0016】③ 低電圧動作の論理回路が非動作時に電源供給を切るシステム構成であり、半導体装置内部の低電圧振幅信号をレベルシフト回路を介して高電圧の信号出力にするセルベースレイアウトもしくはゲートアレイレイアウトの半導体装置を実現するためには、例えば、レベルシフト回路をレイアウトセル内に内蔵することが考えられる。

【0017】しかし、この場合には低電圧動作の論理回路が非動作時に電源供給を切られた場合に、所定の出力をレベルシフト回路から出力するコントロール配線を各レイアウトセルに入力させる必要があり、配線数が非常に増加する。

【0018】④ 半導体装置内部の半導体論理回路ブロックにおいて、少なくとも2つの異なる電源電圧で動作しているブロックを備えている場合に、低電圧動作回路から高電圧動作回路へと信号を送る必要があり、低電圧動作回路内に半導体論理回路を内蔵させる場合には、低電圧動作回路のレイアウトブロックに高電圧の電源を入力する必要があり、レイアウト面積が増大する。また高電圧動作回路内に半導体論理回路を内蔵させた場合も同様に、高電圧動作回路のレイアウトブロックに低電圧の電源を入力する必要があり、レイアウト面積の増大が考えられる。

【0019】また、図12の第1のインバータI1および第2のインバータI2を低電圧動作回路内に内蔵し、その他の回路を高電圧動作回路内に内蔵した場合には第1のインバータI1の出力信号配線と第2のインバータI2の出力信号配線が必要であり、このこともレイアウト面積の増加がある。

【0020】そこで、本発明は、前記従来の問題を解決し、高速でレイアウト面積の小さな低消費電力LSI回路向けの半導体論理および回路レイアウト構造を提供することを目的とする。

【0021】

【課題を解決するための手段】前記目的を達成するため、本発明は、前記①～④の課題項目に対して、以下の構成を備えるものである。すなわち、

①項の課題である電圧変換回路の低電圧動作回路からの入力が入定になることについては、予め電圧変換回路の高電圧へ信号を変換する差動回路部にスイッチトランジスタを設けておき、低電圧電源のコントロールと同期してスイッチトランジスタをオンもしくはオフにすることにより、差動回路部の信号を固定し、かつ併せて出力端子に設けたプルアップトランジスタもしくはプルダウントランジスタにより出力状態を所望の信号レベルに固定する構成とする。

【0022】②項の課題であるオフリーク電流に関しては、前記①の課題を解決する手段と同様に電圧変換回路内にスイッチトランジスタを設け、低電圧動作回路が非動作時に所望の回路出力をする電圧変換回路のうち、オフとなるトランジスタにオフリーク電流の小さいトランジスタを用いることにより解決でき、次に、電圧変換回路内の差動動作部のNチャネルMOSトランジスタに低耐压トランジスタを用いた場合には、低耐压トランジスタのドレインに耐压上問題のないNチャネルMOSトランジスタスイッチのソースを接続し、ドレインをPチャネルMOSトランジスタのドレインに接続する構成とする。

【0023】耐压上問題のないNチャネルMOSトランジスタのゲートには、低耐压NチャネルMOSトランジスタの耐压上問題のない電位を入力することにより、低耐压トランジスタに高電圧がかからず課題を解決することが可能となる。この解決手段で新たに追加したトランジスタを前記①の課題を解決する手段と同様に動作させることも可能である。

【0024】③項の課題に関しては、セルベースレイアウトもしくはゲートアレイレイアウトの入力、出力セルの半導体装置の中心に向かって、横方向に電源変換回路のコントロール信号配線を設け、その配線がセル配置時に自動的に接続される構成とし、同時にコントロールするレベルシフト回路のコントロール信号を半導体装置内部の制御回路もしくは半導体装置外部の制御回路に1箇所から取り出す構成とする。

【0025】④の課題に関しては、高電圧動作回路ブロックにレベルシフト回路の低電圧振幅信号と逆位相の信号を作るインバータと、高電圧を必要とする差動動作回路部以降をレイアウトする構成とし、低電圧動作回路部から入力する低電圧振幅信号の逆位相信号を高電圧動作回路内にて高電源電圧をダウンコンバータを介して発生した低電圧入力信号と同じ電圧を電源とするインバータにより実現する。

【0026】これにより低電圧動作からの信号配線を1つのみとし、低電圧動作回路に高電圧電源もしくは高電

圧動作回路に低電圧電源を入力することなく、レイアウトを実現することができる。

【0027】ダウンコンバータをNチャネルMOSトランジスタとした場合は、ゲート電圧を低電圧回路の電源のオン、オフに併せてコントロールすることにより、低電圧回路からの入力が入力不定となったときにも、NチャネルMOSトランジスタをオフし、リーク電流をカットすることが可能となる。

【0028】

【発明の実施の形態】以下に本発明の実施形態について図面に基づいて説明する。なお、図12に基づいて説明した部材に対応する部材には同一符号を付して詳しい説明は省略する。

【0029】（実施の形態1）図1は本発明の第1実施形態を説明するための回路図であり、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aから第1の低電圧振幅インバータI1と第2の低電圧振幅インバータI2とを介して第1の信号の入力を、第2の電源をソースとする第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の低電圧振幅インバータI1のみを介して第1の信号入力の逆位相となる信号を第2の電源をソースとする第2のNチャネルMOSトランジスタTN2のゲートで受け、第2のNチャネルMOSトランジスタTN2のドレインを第3のNチャネルMOSトランジスタTN3のソースと接続している。

【0030】前記第1のNチャネルMOSトランジスタTN1のドレインを、第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のゲートと接続し、第3のNチャネルMOSトランジスタTN3のドレインを、第1のPチャネルMOSトランジスタTP1のゲートと第2のPチャネルMOSトランジスタTP2のドレインと接続している。第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2とのソースを、第1の電源電圧より大きい第3の電源V1に接続している。

【0031】第2のPチャネルMOSトランジスタTP2のドレインを高電圧振幅インバータI3を介して出力端子Bに接続し、第3のPチャネルMOSトランジスタTP3のドレインを出力端子Bに接続し、かつ第3のPチャネルMOSトランジスタTP3のソースを第3の電源に接続しており、第3のNチャネルMOSトランジスタTN3と第3のPチャネルMOSトランジスタTP3のゲートに第2の入力端子Cを接続している。

【0032】次に、第1実施形態の回路の動作例として、低電圧振幅が0Vから2Vの信号を0Vから3Vの振幅電圧で動作する論理回路ブロックに入力する場合を説明する。

【0033】低電圧振幅動作回路に低電圧電源が入力されているとき（以降、アクティブという）、まず低電圧振幅信号Aの電圧が2Vのとき、2V電圧で動作する第1

のインバータI1の出力は0Vであり、2V電圧で動作する第2のインバータI2の出力は2Vである。また、そのとき、第1のNチャネルMOSトランジスタTN1は第2のインバータI2の出力によりオンしており、第2のNチャネルMOSトランジスタTN2は第1のインバータI1の出力によりオフしている。

【0034】アクティブ時に第2の入力端子Cには3Vが入力されており、そのために第3のNチャネルMOSトランジスタTN3はオンしており、第3のPチャネルMOSトランジスタTP3がオフしている。このとき第2のノードN2は3Vの電源V1の電位と同電位の3Vであり、第1のPチャネルMOSトランジスタTP1はオフしており、第1のノードN1は0Vであり、第2のPチャネルMOSトランジスタTP2はオンしている。

【0035】このとき、出力端子Bからの高電圧振幅動作回路への入力信号は、高電圧動作の第3のインバータI3を介して0Vが出力される。第1の入力端子Aの低電圧振幅信号の電圧が2Vから0Vに変化すると第1のインバータI1の出力は0Vから2Vへ変化し、第2のインバータI2の出力は2Vから0Vへ変換する。これにより、第1のNチャネルMOSトランジスタTN1はオンからオフ状態へ移行する。また、第2のNチャネルMOSトランジスタTN2はオフからオン状態へ移行する。両NチャネルMOSトランジスタTN1、TN2がオン状態へ移行することにより、第2のノードN2の電位が低下し、第1のPチャネルMOSトランジスタTP1がオンする。

【0036】そのとき、第1のNチャネルMOSトランジスタTN1がオフ状態へ移行していることにより、第1のノードN1の電位は上昇する。これらの動作は、第1のノードN1が完全に電源V1と同電位の3Vとなり、第2のノードN2が0Vとなり、出力端子Bの電位が第3のインバータI3によって3Vとなることにより終了する。第1の入力端子Aの低電圧振幅信号の電圧が、0Vから2Vへ移行したときは、上記とは逆の動作を行い出力端子Bに0Vが出力される。

【0037】アクティブから低電圧振幅動作回路に低電圧電源の入力がされていないとき（以降、スリープという）に移行するときには、レベルシフト回路のコントロール端子である第2の入力端子Cの電位を0Vにする。これにより第3のNチャネルMOSトランジスタTN3はオフし、第3のPチャネルMOSトランジスタTP3はオンする。第1の入力端子Aにおける低電圧動作回路からの電圧が入力不定であった場合においても、第3のNチャネルMOSトランジスタTN3がオフし、第3のPチャネルMOSトランジスタTP3がオンすることにより、第2のノードN2が3Vに固定され、第1のPチャネルMOSトランジスタTP1はオフすることにより、第1のPチャネルMOSトランジスタTP1によるリーク電流がカットされ、出力端子Bの電圧は0Vに固定さ

れて不定となることはない。スリープからアクティブに戻るときには、第2の入力端子Cに3Vを入力することによって前記通常動作に戻る。

【0038】以上の動作により、入力が不定であることによる大きな貫通電流を生じさせずに、安定した高電源電圧を出力するレベルシフト回路を、少ない回路構成素子数で実現できることになる。

【0039】（実施の形態2）また、本発明の第2実施形態として、図1に示した第1のNチャネルMOSトランジスタTN1、第2のNチャネルMOSトランジスタTN2、第2のPチャネルMOSトランジスタTP2のすべて、もしくはそのいずれか1つを低閾値で高電流駆動が可能なトランジスタとすることによって、高速化とスリープ時の低リーク電流を実現することができる。回路非動作時にはオフ電流の小さな第1のPチャネルMOSトランジスタTP1と第2のNチャネルMOSトランジスタTN2がオフすることで低オフ電流とすることができる。

【0040】（実施の形態3）図2は本発明の第3実施形態を説明するための回路図であり、第1の電源の電圧から第2の電源の電圧を振幅とする第1の信号の入力を第1の入力端子Aから、第2の電源をソースとする第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の信号入力の逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタTN2のゲートで受け、第1のNチャネルMOSトランジスタTN1のドレインを第3のNチャネルMOSトランジスタTN3のソースと接続している。

【0041】第2のNチャネルMOSトランジスタTN2のドレインを、第2のPチャネルMOSトランジスタTP2のドレインと第1のPチャネルMOSトランジスタTP1のゲートと接続し、第3のNチャネルMOSトランジスタTN3のドレインを、第2のPチャネルMOSトランジスタTP2のゲートと第1のPチャネルMOSトランジスタTP1のドレインと接続している。

【0042】第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2のソースを、第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続し、第4のNチャネルMOSトランジスタTN4のドレインを出力端子Bに接続し、かつ第4のNチャネルMOSトランジスタTN4のソースを第3の電源に接続している。

【0043】第3のNチャネルMOSトランジスタTN3のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第3の電源電圧を入力する。第4のNチャネルMOSトランジスタTN4のゲートに第3の入力端子Dを接続し、この第3の入力端子Dに第2の電源電圧を入力するようにしている。

【0044】次に、第3実施形態の回路の動作例とし

て、低電圧振幅が0Vから2Vの信号を0Vから3Vの振幅電圧で動作する論理回路ブロックに入力する場合を説明する。

【0045】アクティブ時、まず低電圧振幅信号Aの電圧が2Vのとき、2V電圧で動作する第1のインバータI1の出力は0Vであり、2V電圧で動作する第2のインバータI2の出力は2Vである。また、そのとき、第1のNチャネルMOSトランジスタTN1は第2のインバータI2の出力によりオンしており、第2のNチャネルMOSトランジスタTN2は第1のインバータI1の出力によりオフしている。アクティブ時、第2の入力端子Cに3V（2Vでも可）入力されており、第3の入力端子Dに0Vが入力されている。そのために第3のNチャネルMOSトランジスタTN3はオンしており、第4のNチャネルMOSトランジスタTN4はオフしている。

【0046】このとき、第2のノードN2は3Vの電源V1の電位と同電位の3Vであり、第1のPチャネルMOSトランジスタTP1がオフしており、第1のノードN1は0Vであり、第2のPチャネルMOSトランジスタTP2はオンしている。

【0047】このとき、出力端子Bからの高電圧振幅動作回路への入力信号は高電圧動作の第3のインバータI3を介して0Vが出力される。入力端子Aにおける低電圧振幅信号の電圧が2Vから0Vに変化すると、第1のインバータI1の出力は0Vから2Vへ変化し、第2のインバータI2の出力は2Vから0Vへ変換する。これにより、第1のNチャネルMOSトランジスタTN1はオンからオフ状態へ移行する。また、第2のNチャネルMOSトランジスタTN2はオフからオン状態へ移行する。両NチャネルMOSトランジスタTN1、TN2がオン状態へ移行することにより、第2のノードN2の電位が降下し、第1のPチャネルMOSトランジスタTP1がオンする。

【0048】そのとき、第1のNチャネルMOSトランジスタTN1がオフ状態へ移行していることにより、第1のノードN1の電位は上昇する。これらの動作は、第1のノードN1が完全に電源V1と同電位の3Vとなり、第2のノードN2が0Vとなって、出力端子Bの電位がインバータI3によって3Vとなることで終了する。第1の入力端子Aからの低電圧振幅信号の電圧が0Vから2Vへ移行したときは、上記とは逆の動作を行い出力に0Vが出力する。

【0049】アクティブからスリープに移行するときには、レベルシフト回路のコントロール端子である第2の入力端子Cの電位を0Vにして、第3の入力端子Dの電位を3Vにする。これにより第3のNチャネルMOSトランジスタTN3はオフし、第4のNチャネルMOSトランジスタTN4はオンする。低電圧動作回路からの第1の入力端子Aの電圧が不定であった場合においても、第4のNチャネルMOSトランジスタTN4がオンし、

第1のPチャネルMOSトランジスタTP1がオンすることで、第1ノードN1が3Vに固定され、第2のPチャネルMOSトランジスタTP2はオフすることにより、第2のPチャネルMOSトランジスタTP2によるリーク電流はカットされ、出力端子Bの電圧は3Vに固定されて不定となることはない。スリープからアクティブに戻るときには、第2の入力端子Cに3Vを入力し第3の入力端子Dに0Vを入力することで前記通常動作に戻る。

【0050】以上の動作により入力が不定であることによる大きな貫通電流を生じずに安定した接地電圧を出力するレベルシフト回路を少ない回路構成素子数で実現できる。

【0051】（実施の形態4）また、本発明の第4実施形態として、図2の第1のNチャネルMOSトランジスタTN1、第2のNチャネルMOSトランジスタTN2、第1のPチャネルMOSトランジスタTP1のすべて、もしくはそのいずれか1つを低閾値で高電流駆動が可能なトランジスタとすることにより、高速化とスリープ時の低リーク電流を実現するものである。回路非動作時にはオフ電流の小さな第2のPチャネルMOSトランジスタTP2と第3のNチャネルMOSトランジスタTN3がオフすることで低オフ電流とすることができる。

【0052】（実施の形態5）図3は本発明の第5実施形態を説明するための回路図であり、端子の動作は第1実施形態の回路と全く同様であり、発明の効果も同様であるが、加えて差動動作回路部1の動作が対象であり、各トランジスタのデバイスパラメータの決定が容易である効果を有する。

【0053】すなわち、図3において、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタTN2のゲートで受け、第1のNチャネルMOSトランジスタTN1のドレインは第3のNチャネルMOSトランジスタTN3のソースと接続し、第2のNチャネルMOSトランジスタTN2のドレインを第4のNチャネルMOSトランジスタTN4のソースと接続している。

【0054】第3のNチャネルMOSトランジスタTN3のドレインを、第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のゲートと接続し、第4のNチャネルMOSトランジスタTN4のドレインを第1のPチャネルMOSトランジスタTP1のゲートと第2のPチャネルMOSトランジスタTP2のドレインと接続しており、第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2のソースを第1の電源電圧より大きい第3の電源に接続している。

【0055】第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続し、第3のPチャネルMOSトランジスタTP3のドレインを出力端子Bに接続し、かつ第3のPチャネルMOSトランジスタTN3のソースを第3の電源に接続している。第3のNチャネルMOSトランジスタTP3と第4のNチャネルMOSトランジスタTN4と第3のPチャネルMOSトランジスタTP3のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第3の電源電圧を入力することによって、第3の電源の電圧から第2の電源の電圧を振幅とし、かつ第1の入力端子Aからの信号と同相の信号を出力端子Bより出力し、回路非動作時には第2の入力端子Cに第2の電源電圧を入力することにより、第1の電源の供給を切った場合にも出力端子Bの信号を第3の電源電圧レベルに固定するように構成している。

【0056】（実施の形態6）図4は本発明の第6実施形態を説明するための回路図であり、端子の動作は第2実施形態の回路と全く同様であり、その効果も同様であるが、加えて差動動作回路部1の動作が対象であり、各トランジスタのデバイスパラメータの決定が容易である効果を有する。

【0057】すなわち、図4において、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタTN2のゲートで受け、第1のNチャネルMOSトランジスタTN1のドレインは第3のNチャネルMOSトランジスタTN3のソースと接続し、第2のNチャネルMOSトランジスタTN2のドレインを第4のNチャネルMOSトランジスタTN4のソースと接続し、第3のNチャネルMOSトランジスタTN3のドレインを第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のゲートと接続し、第4のNチャネルMOSトランジスタTN4のドレインを第1のPチャネルMOSトランジスタTP1のゲートと第2のPチャネルMOSトランジスタTP2のドレインと接続し、第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2のソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続し、出力端子Bにドレインを接続しソースを第3の電源に接続した第5のNチャネルMOSトランジスタTN5を備え、前記第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第3の電源電圧を入力し、第5のNチャネルMOSトランジスタTN5のゲート

トに第3の入力端子Dを接続し、この第3の入力端子Dに第2の電源電圧を入力することによって、第3の電源の電圧から第2の電源の電圧を振幅とし、かつ前記第1の入力端子Aからの信号と同相の信号を出力端子Bより出力し、回路非動作時には第2の入力端子Cに第2の電源電圧を入力し、第3の入力端子Dに第3の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子Bの信号を第1の電源電圧レベルに固定するように構成している。

【0058】（実施の形態7）また、本発明の第7実施形態として、図3、図4の第3のNチャネルMOSトランジスタTN3、第4のNチャネルMOSトランジスタTN4、第1のPチャネルMOSトランジスタTP1、第2のPチャネルMOSトランジスタTP2の全て、もしくはそのいずれか1つを低閾値トランジスタで構成することによって、スリープ時に低リーク電流であって、安定した接地電圧を出力し、なおかつより高速化が図れるようにすることができる。回路非動作時にはオフ電流の小さな第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4がオフすることで低オフ電流とすることができる。

【0059】（実施の形態8）図5は本発明の第8実施形態を説明するための回路図であり、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第2の電源をソースとする低閾値で高電流駆動が可能であって、ゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタLTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であって、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタLTN2のゲートで受け、第1のNチャネルMOSトランジスタLTN1のドレインはゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第3のNチャネルMOSトランジスタTN3のソースと接続し、第2のNチャネルMOSトランジスタLTN2のドレインをゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第4のNチャネルMOSトランジスタTN4のソースと接続している。

【0060】第3のNチャネルMOSトランジスタTN3のドレインを、第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のゲートと接続し、第4のNチャネルMOSトランジスタTN4のドレインを第1のPチャネルMOSトランジスタTP1のゲートと第2のPチャネルMOSトランジスタTP2のドレインと接続しており、第1のPチャネルMOSトランジスタTP1と第2のPチャネ

ルMOSトランジスタTP2のソースを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続して、第5のNチャネルMOSトランジスタTN5のドレインを出力端子Bに接続し、かつ第5のNチャネルMOSトランジスタTN5のソースを第2の電源に接続している。

【0061】第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には前記第1のNチャネルMOSトランジスタLTN1および第2のNチャネルMOSトランジスタLTN2のゲート耐圧範囲内の第4の電源電圧を入力し、第5のNチャネルMOSトランジスタTN5のゲートに第3の入力端子Dを接続し、この第3の入力端子Dには第2の電源電圧を入力することによって、出力端子Bより第3の電源の電圧から第2の電源の電圧を振幅とし、かつ第1の入力端子Aからの信号と同相の信号を出力し、回路非動作時には第2の入力端子Cに第2の電源電圧を入力し、第3の入力端子Dに第3の電源電圧もしくは第4の電源電圧を入力することによって、出力端子Bの信号が第2の電源電圧に固定され、第1の電源の供給を切った場合にも出力端子Bの信号を第2の電源電圧レベルに固定するように構成している。

【0062】次に、第8実施形態の回路において、例として、低電圧振幅が0Vから2Vの信号を0Vから3Vの振幅電圧で動作する論理回路ブロックに入力する場合を説明する。ここで、高電流駆動に関しては低耐圧トランジスタのゲートとドレイン間の耐圧電圧を2Vとする。

【0063】アクティブ時に、レベルシフト回路の動作コントロール端子である第2の入力端子C及び第3の入力端子Dには、それぞれ第2の入力端子Cに2V、第3の入力端子Dに0Vが入力されて、第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4はオンし、第5のNチャネルMOSトランジスタTN5はオフしている。まず第1の入力端子Aにおける低電圧振幅信号の電圧が2Vのとき、2V電圧動作の第1のインバータI1の出力は0Vであり、2V電圧動作の第2のインバータI2の出力は2Vである。第1のNチャネルMOSトランジスタLTN1は第2のインバータI2の出力によりオンしており、第2のNチャネルMOSトランジスタLTN2は第1のインバータI1の出力によりオフしている。

【0064】第2のノードN2は3Vの電源V1の電位と同電位の3Vであり、第1のPチャネルMOSトランジスタTP1はオフしており、第1のノードN1は0Vであり、第2のPチャネルMOSトランジスタTP2はオンしている。第2のノードN2に3Vの電位があり、第1のインバータI1の出力が0Vのために、第3のN

チャネルMOSトランジスタTN3が存在していない場合には、ゲートとドレイン間に3Vの電圧がかかり、低耐圧のトランジスタのゲートは破壊されてしまうが、図5に示す回路ではゲート電圧が2Vの第3のNチャネルMOSトランジスタTN3があるために、高電流駆動する第1のNチャネルMOSトランジスタLTN1のゲートとドレイン間には、2Vから第1のNチャネルMOSトランジスタLTN1の閾値電圧の電位しかかからない。

【0065】そして、出力端子Bからの高電圧振幅動作回路への入力信号は高電圧動作の第3のインバータI3を介して0Vが出力される。第1入力端子Aにおける低電圧振幅信号の電圧が2Vから0Vに変化すると、第1のインバータI1の出力は0Vから2Vへ変化し、第2のインバータI2の出力は2Vから0Vへ変換する。これにより、第3のNチャネルMOSトランジスタTN3はオンからオフ状態へ移行する。また、第4のNチャネルMOSトランジスタTN4はオフからオン状態へ移行する。両NチャネルMOSトランジスタTN3、TN4がオン状態へ移行することにより第2のノードN2の電位が降下し、第1のPチャネルMOSトランジスタTP1がオンする。そのとき、第3のNチャネルMOSトランジスタTN3がオフ状態へ移行していることにより、第1のノードN1の電位は上昇する。

【0066】これらの動作は、第1のノードN1が完全に電源V1と同電位の3Vとなり、第2のノードN2が0Vとなり、出力端子Bの電位が第3のインバータI3によって3Vとなることによって終了する。第1の入力端子Aにおける低電圧振幅信号の電圧が0Vから2Vへ移行したときは、上記とは逆の動作を行い出力端子Bに0Vが出力される。このときには、高電流駆動する低耐圧の第2のNチャネルMOSトランジスタLTN2には第1のNチャネルMOSトランジスタLTN1と同様に、第4のNチャネルMOSトランジスタTN4により、耐圧上許容される電圧しかかからない。

【0067】スリープに移行するときには、レベルシフト回路のコントロール端子である第2の入力端子Cの電位を0Vにし、第3の入力端子Dの電位を3Vにする。これにより第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4はオフし、第5のNチャネルMOSトランジスタTN5はオンする。第1の入力端子Aにおける低電圧動作回路からの入力の電圧が不定であった場合においても、第5のNチャネルMOSトランジスタTN5がオンし、第1のPチャネルMOSトランジスタTP1がオンすることにより、第1のノードN1が3Vに固定され、第2のPチャネルMOSトランジスタTP2がオフすることにより、第4のNチャネルMOSトランジスタTN4によってリーク電流がカットされ、出力端子Bの電圧は3Vに固定され、不定となることはない。

【0068】スリープからアクティブに戻る時には、第2の入力端子Cに2Vを入力し、第3の入力端子Dに0Vを入力することにより前記通常動作に戻る。

【0069】以上の動作により入力が不定であることによる大きな貫通電流を生じずに安定した接地電圧を出力することができ、高駆動電流能力ではあるが低耐圧のトランジスタを使用することを可能にした高速なレベルシフト回路を実現できる。

【0070】（実施の形態9）図6は本発明の第9実施形態を説明するための回路図であり、第8実施形態の回路とはレベルシフト回路のコントロール端子である第3の入力端子Dのコントロール方法とスリープ時の出力端子Bへの出力電圧が3Vを出力可能である点で異なる。

【0071】その回路における入力、出力端子の関連構造を具体的に説明する。図6において、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、図5の回路と同様に、第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタLTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタLTN2のゲートで受けるようになっており、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続し、第3のPチャネルMOSトランジスタTP3のドレインを出力端子Bに接続し、かつ第3のPチャネルMOSトランジスタTP3のソースを第2の電源に接続している。

【0072】そして、第3のNチャネルMOSトランジスタTN3および第4のNチャネルMOSトランジスタTN4のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第1のNチャネルMOSトランジスタLTN1および第2のNチャネルMOSトランジスタLTN2のゲート耐圧範囲内の第4の電源電圧を入力し、第3のPチャネルMOSトランジスタTP3のゲートに第3の入力端子Dを接続し、この第3の入力端子Dには第3の電源電圧を入力することによって、第3の電源の電圧から第2の電源の電圧を振幅とし、かつ第1の入力端子Aからの信号と同相の信号を出力端子Bより出力し、回路非動作時には第2の入力端子Cに第2の電源電圧を入力し、第3の入力端子Dに第2の電源電圧を入力することによって出力端子Bの信号が第3の電源電圧に固定され、第1の電源の供給を切った場合にも出力端子Bの信号を第3の電源電圧レベルに固定するように構成している。

【0073】前記構成の回路において、レベルシフト回路のコントロール端子である第3の入力端子Dはアクテ

ィブ時には3Vが入力され、スリープ時には0Vが入力される。第3のPチャネルMOSトランジスタTP3が第3の入力端子Dの入力によりアクティブ時にオフし、スリープ時にオンすることにより、アクティブ時には第1の入力端子Aの電位変化に伴った動作を出力端子Bが行うことになるが、スリープ時には3Vに固定される。

【0074】(実施の形態10) 図7は本発明の第10実施形態を説明するための回路図であり、基本的には第1実施形態の回路と同様であるが、アクティブ時とスリープ時をコントロールするトランジスタの構成が異なる。

【0075】特に、その回路における入力、出力端子の関連構造を具体的に説明する。図7において、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第2の電源をソースとする第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする第2のNチャネルMOSトランジスタTN2のゲートで受けており、第2のNチャネルMOSトランジスタTN2のドレインを出力端子Bに接続し、第3のNチャネルMOSトランジスタTN3のドレインを出力端子Bに接続し、かつ第3のNチャネルMOSトランジスタTN3のソースを第2の電源に接続している。

【0076】第3のNチャネルMOSトランジスタTN3と第3のPチャネルMOSトランジスタTP3のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第2の電源電圧を入力することによって、第3の電源の電圧から第2の電源の電圧を振幅とし、かつ第1の入力端子Aからの信号と同相の信号を出力端子Bより出力し、回路非動作時には第3の電源電圧を入力することによって第1の電源の供給を切った場合にも出力端子Bの信号を第2の電源電圧レベルに固定するように構成している。

【0077】前記構成の回路において、第3のPチャネルMOSトランジスタTP3を3Vの電源V1と第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2のソースとの間に接続し、アクティブ時には第2の入力端子Cに0V、スリープ時には第2の入力端子Cに3Vを入力する。出力端子Bの動作は動作時には第1の入力端子Aの変化に伴って変化し、スリープ時には0Vを出力する。本例の回路の特徴は、素子数が少なく、また差動動作回路部1の回路構成が対称であるために、設計が容易になる点とスリープ時に0Vを出力可能となる点である。

【0078】(実施の形態11) また、本発明の第11実施形態として、図7のトランジスタのなかで、第1のNチャネルMOSトランジスタTN1と第2のNチャネルMOSトランジスタTN2と第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2の少なくとも1つに、高電流駆動が可能であるが

オフ電流リークが大きいデバイスパラメータを有するトランジスタを用い、電圧変換回路の高速化を可能にし、回路非動作時にはオフ電流の小さな第3のPチャネルMOSトランジスタTP3がオフすることで低オフ電流となるように構成することが考えられる。

【0079】(実施の形態12) 図8は本発明の第12実施形態を説明するための回路図であり、この回路は基本動作は第1実施形態の回路と同様であるが、アクティブ時とスリープ時をコントロールするトランジスタの構成が異なる。

【0080】特に、その回路における入力、出力端子の関連構造を具体的に説明する。図8において、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第1のNチャネルMOSトランジスタTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2のNチャネルMOSトランジスタTN2のゲートで受けており、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続し、第3のPチャネルMOSトランジスタTP3ドレインを出力端子Bに接続し、第3のPチャネルMOSトランジスタTP3のソースを第3の電源に接続している。

【0081】第3のPチャネルMOSトランジスタTP3と第3のNチャネルMOSトランジスタTN3のゲートに第2の入力端子Cを接続し、この第2の入力端子Cに回路動作時には第3の電源電圧を入力することによって、第3の電源の電圧から第2の電源の電圧を振幅とし、かつ第1の入力端子Aからの信号と同相の信号を出力端子Bより出力し、回路非動作時には第2の入力端子Cに第2の電源電圧を入力することにより第1の電源の供給を切った場合にも出力端子Bの信号を第3の電源電圧レベルに固定するように構成している。

【0082】前記構成の回路において、第3のNチャネルMOSトランジスタTN3を、接地電源0Vと第1のNチャネルMOSトランジスタTN1と第2のNチャネルMOSトランジスタTN2のソースとの間に接続し、アクティブ時には第2の入力端子Cに3V、スリープ時には第2の入力端子Cに0Vを入力する。出力端子Bの動作は、動作時には入力端子Aの変化に伴って変化し、スリープ時には3Vを出力する。この回路の特徴としては、素子数が少なく、また差動動作回路部1の回路構成が対称であるために設計が容易になる点と、スリープ時に3Vを出力することが可能となる点である。

【0083】(実施の形態13) また、本発明の第13実施形態として、図8のトランジスタのなかで、第1のPチャネルMOSトランジスタTP1と、第2のPチャネルMOSトランジスタTP2と、第1のNチャネルMOSトランジスタTN1と、第2のNチャネルMOSトランジスタTN2のトランジスタのすべて、あるいはいずれか1つを高駆動能力トランジスタとすることで電圧変換回路の高速化を可能にし、回路非動作時にはオフ電流の

小さな第3のNチャネルMOSトランジスタTN3がオフすることで低オフ電流となるように構成することが考えられる。

【0084】(実施の形態14)図9は本発明の第14実施形態を説明するための回路図であり、第1の電源の電圧から第2の電源の電圧を振幅とする第1の入力端子Aからの信号を、第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第1のNチャネルMOSトランジスタLTN1のゲートで受け、第1の入力端子Aからの信号と逆位相の信号を第2の電源をソースとする低閾値で高電流駆動が可能であり、かつゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して低耐圧の第2のNチャネルMOSトランジスタLTN2のゲートで受けている。

【0085】第1のNチャネルMOSトランジスタLTN1のドレインはゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第3のNチャネルMOSトランジスタTN3のソースと接続し、第2のNチャネルMOSトランジスタLTN2のドレインをゲート電位とドレイン電位間電圧、またはソース電位とドレイン電位間電圧に対して高耐圧の第4のNチャネルMOSトランジスタTN4のソースと接続し、第3のNチャネルMOSトランジスタTN3のドレインを第1のPチャネルMOSトランジスタTP1のドレインと第2のPチャネルMOSトランジスタTP2のドレインと第4のNチャネルMOSトランジスタTN4のゲートおよび第1の入力端子Aからの信号の逆位相の信号をゲートに入力した第5のNチャネルMOSトランジスタTN5のソースと接続している。

【0086】さらに、第4のNチャネルMOSトランジスタTN4のドレインを第1のPチャネルMOSトランジスタTP1のゲートと第2のPチャネルMOSトランジスタTP2のドレインと第3のNチャネルMOSトランジスタTN3のゲートおよび第1の入力端子Aからの信号をゲートに入力した第6のNチャネルMOSトランジスタTN6のソースと接続し、第1のPチャネルMOSトランジスタTP1と第2のPチャネルMOSトランジスタTP2のソースと第5のNチャネルMOSトランジスタTN5と第6のNチャネルMOSトランジスタTN6のドレインを第1の電源電圧より大きい第3の電源に接続し、第2のPチャネルMOSトランジスタTP2のドレインを出力端子Bに接続している。

【0087】そして、入力信号が固定されている場合に、第5のNチャネルMOSトランジスタTN5もしくは第6のNチャネルMOSトランジスタTN6によって、第1のNチャネルMOSトランジスタLTN1もしくは第2のNチャネルMOSトランジスタLTN2のオフトランジスタのオフ電流が小さくなるように構成に

ている。

【0088】前記構成の回路において、例として低電圧振幅が0Vから2Vの信号を0Vから3Vの振幅電圧で動作する論理回路ブロックに入力する場合を説明する。

【0089】まず、第1の入力端子Aにおける低電圧振幅信号の電圧が2Vのとき、2V電圧動作の第1のインバータI1の出力は0Vであり、2V電圧動作の第2のインバータI2の出力は2Vである。また、そのとき、第1のNチャネルMOSトランジスタLTN1と第6のNチャネルMOSトランジスタTN6は、第2のインバータI2の出力によりオンしており、第2のNチャネルMOSトランジスタLTN2と第5のNチャネルMOSトランジスタTN5は、第1のインバータI1の出力によりオフする。

【0090】このとき、第2のノードN2は3Vの電源V1の電位と同電位の3Vであり、第1のPチャネルMOSトランジスタTP1はオフしており、第3のNチャネルMOSトランジスタTN3はオンしている。第1のノードN1は0Vであり、第2のPチャネルMOSトランジスタTP2はオンしており、第4のNチャネルMOSトランジスタTN4はオフしている。このとき、出力端子Bからの高電圧振幅動作回路への入力信号は、高電圧動作の第3のインバータI3を介して0Vが出力される。

【0091】第1の入力端子Aにおける低電圧振幅信号の電圧が2Vから0Vに変化すると、第1のインバータI1の出力は0Vから2Vへ変化し、第2のインバータI2の出力は2Vから0Vへ変換する。これにより、第3のNチャネルMOSトランジスタTN3と第6のNチャネルMOSトランジスタTN6はオンからオフ状態へ移行する。また、第4のNチャネルMOSトランジスタTN4と第5のNチャネルMOSトランジスタTN5はオフからオン状態へ移行する。第1のNチャネルMOSトランジスタLTN1がオフとなり、第5のNチャネルMOSトランジスタTN5がオンすることにより、第1のノードN1の電位が上昇し、第2のPチャネルMOSトランジスタTP2がオン状態からオフの状態へと移行し、第4のNチャネルMOSトランジスタTN4がオフからオンへと移行する。これにより第2のノードN2の電位が下降する。

【0092】これらの動作は第1のノードN1が完全に電源V1と同電位の3Vとなり、第2のノードN2が0Vとなり、出力端子Bの電位が第3のインバータI3によって3Vとなることで動作が終了する。第1の入力端子Aにおける低電圧振幅信号の電圧が0Vから2Vへ移行したときは、上記とは逆の動作を行い出力端子Bに0Vが出力する。

【0093】なお、前記動作において第1のNチャネルMOSトランジスタLTN1と第2のNチャネルMOSトランジスタLTN2は、高電流駆動するトランジスタ



である。高電流駆動するトランジスタを実現するためにはトランジスタの閾値電圧を下げる事が考えられるが、これによりトランジスタのオフ電流が桁違いに大きくなる問題がある。

【0094】前記問題をゲート電圧が0Vから3V変化する第3のNチャネルMOSトランジスタTN3と第4のNチャネルMOSトランジスタTN4を用い、第1のNチャネルMOSトランジスタLTN1がオフのときは、第3のNチャネルMOSトランジスタTN3をオフにしてリーク電流を小さくし、第2のNチャネルMOSトランジスタLTN2がオフのときは、第4のNチャネルMOSトランジスタTN4をオフにしてリーク電流を小さくしている。

【0095】第5のNチャネルMOSトランジスタTN5と第6のNチャネルMOSトランジスタTN6は、例えば第1のノードN1の電圧が0Vで、第2のノードN2の電圧が3Vであり、第1のNチャネルMOSトランジスタLTN1がオンからオフに移行したときに、第5のNチャネルMOSトランジスタTN5により第1のノードN1の電位をより早く持ち上げる働きをする。第6のNチャネルMOSトランジスタTN6も同様の作用をする。ゲート電圧が0Vから3Vの振幅を持つ第3のNチャネルMOSトランジスタTN3と第5のNチャネルMOSトランジスタTN5と、高電流駆動する第1のNチャネルMOSトランジスタLTN1と第2のNチャネルMOSトランジスタLTN2により、高速で低オフ電流のレベルシフト回路となる。

【0096】(実施の形態15) 図10は本発明の第15実施形態を説明するための回路図であり、2Vの低電圧電源2はPチャネルMOSトランジスタ(スイッチングトランジスタ)6を介して低電圧振幅動作の論理ブロック4に電源を供給しており、低電圧動作の第1のインバータI1による出力から高電圧電源V1により電源を供給し、高電圧振幅動作する論理ブロック10へブロック間配線7を介して入力する場合の回路例である。

【0097】配線3は本例では仮に共通の接地電源とする。図中の8はNチャネルMOSトランジスタ(ダウンコンバータ)であり、9は本例では第5実施形態に示した回路構成のレベルシフト回路の差動回路と出力プリアンプトランジスタ部分である。さらに、5は低電圧電源供給用のスイッチトランジスタ6をコントロールする端子であり、同時にレベルシフト回路の出力を固定する端子でもある。

【0098】アクティブ時、端子5は0Vであり、このため高電圧電源動作の第4のインバータI4を介してNチャネルMOSトランジスタ8とレベルシフト回路9には3V入力する。NチャネルMOSトランジスタ8の閾値電圧を1Vとすると、第2のインバータI2のPチャネルMOSトランジスタのソース電圧は2Vとなる。第1のインバータI1から出力された低電圧振幅信号は、

高電圧振幅動作する論理ブロック10内の第2のインバータI2により逆位相の信号となり、第1のインバータI1の出力とその逆位相の信号により電圧変換回路が動作し、高電圧電源動作の第3のインバータI3より第1のインバータI1の出力と同位相の信号が出力される。

【0099】スリープ時は、端子5に3Vを入力すると、低電圧電源から低電圧振幅動作する論理ブロック4への電力供給が切られ、NチャネルMOSトランジスタ8がオフし、レベルシフト回路の入力は不定となるが、レベルシフト回路の出力は第5実施形態の回路にて説明したように第3のインバータI3の出力は0Vとなる。これによって、低電圧振幅の正位相信号と逆位相を必要とする電源変換回路が、入力をブロック間で1つの配線とし、また2V電源動作の論理ブロックに3V電源を入力することも、3V電源動作の論理ブロックに2V電源を入力することなく実現できることになる。

【0100】次に、本発明に係る回路レイアウト構造の一実施形態を説明するための構成図であり、図11の(a)は半導体装置の全体の概略図、(b)は(a)における出力セル部の構成を説明するための拡大図、(c)は(b)の具体的構成のブロック図であり、半導体装置内部の論理回路部11を低電圧動作とし、半導体装置外部への出力波形、および入力波形が高電圧の電位振幅で行う場合の構成例を示してある。図11において、14は出力セル部12内の低電圧電源配線、15は出力セル部12の出力バッファ部21の接地電源配線、16は出力セル部12の出力バッファ部21の高電圧電源配線、17はワイヤボンディングパッドである。

【0101】本例では、セルベースレイアウト設計(もしくはゲートアレイレイアウト設計)の半導体装置内部の論理回路部11の電源電圧は2Vであり、チップからの出力電圧振幅を3Vとし、制御回路18によって論理回路11部のスリープ時には半導体装置外部からの内部電源の供給を切る制御信号を出力して消費電力の削減を行い、論理回路部11のアクティブ時には、内部電源の供給を行う制御信号が出力されていると仮定する。

【0102】アクティブ時、出力セル部12へ入力する2V振幅の信号20をレベルシフト回路19にて3Vへ変換し、出力バッファ部21から信号を出力するように構成してある。ところで、スリープ時には、論理回路部11からの信号電圧が不定となり、出力セル部12内のレベルシフト回路部19、出力バッファ部21が不定となる。しかし、前記第1実施形態～第13実施形態の回路により、スリープ時にレベルシフト回路部19の状態と出力を固定することによって、出力セル部12からの出力を固定することができる。

【0103】しかしながら、レベルシフト回路19として第1実施形態～第14実施形態の回路を採用する際には、レベルシフト回路19をアクティブ時の状態にするか、スリープ時の状態にするかを制御するための制御端子13が

必要であり、さらに信号配線の引き回しも必要となる。

【0104】そこで、第1実施形態～第14実施形態の回路の中から採用された回路においては、全ての入力、出力セルおよびその他の電源セル等に、予め電源変換回路の制御配線(制御端子)13および低電圧電源配線14を具備しておき、セルを配置するだけで配線が接続される構成とする。これにより、レイアウト面積の削減と開発期間の削減を実現できる。

【0105】第1実施形態～第14実施形態の回路にて説明すれば、同回路の全ての入力セルと出力セルに、所定方向に延びる前記第1の電源電圧V1の配線と、前記第2の入力端子Cもしくは第3の入力端子Dのいずれか一方の配線または両方の配線とを設置し、前記入力セルと出力セルを自動配置もしくは手動にて配置するだけでレベルシフト回路の電源と制御信号端子および／もしくはウエルとが接続されるように構成する。また、第2実施形態、第4実施形態、第7実施形態、第8実施形態、第9実施形態、第11実施形態、第13実施形態の回路においては、高電流駆動が可能なトランジスタ共通ウエルを備えるようにする。

【0106】

【発明の効果】以上説明したように、本発明によれば、入力信号電圧が不定となった際のレベルシフト回路の貫通電流を無くすることができ、入力電圧が不定であってもレベルシフト回路からの出力電圧を固定することが可能となり、高電流駆動であるがオフ電流が大きいトランジスタを使用した場合でも、スリープ時にオフ電流を削減するため、低消費電力で高速動作することができる。高電流駆動であるが低耐圧のトランジスタを使用することが可能であって回路が高速に動作する。

【0107】しかも、異電位のブロック間の配線を削減することができるため、レイアウト面積を小さくすることができる。

【0108】また、レベルシフト回路をセルベースレイアウトの出力セルに内蔵する場合に回路の制御信号配線を全ての入力、出力及び電源セル等に備え、セルを配置するだけで配線が接続することが可能になり、レイアウト作業の省力化を可能にすると共に、レイアウト面積も削減することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体論理回路の第1実施形態を説明するための回路図である。

【図2】本発明に係る半導体論理回路の第3実施形態を説明するための回路図である。

【図3】本発明に係る半導体論理回路の第5実施形態を説明するための回路図である。

【図4】本発明に係る半導体論理回路の第6実施形態を説明するための回路図である。

【図5】本発明に係る半導体論理回路の第8実施形態を

説明するための回路図である。

【図6】本発明に係る半導体論理回路の第9実施形態を説明するための回路図である。

【図7】本発明に係る半導体論理回路の第10実施形態を説明するための回路図である。

【図8】本発明に係る半導体論理回路の第12実施形態を説明するための回路図である。

【図9】本発明に係る半導体論理回路の第14実施形態を説明するための回路図である。

【図10】本発明に係る半導体論理回路の第15実施形態を説明するための回路図である。

【図11】本発明に係る回路レイアウト構造の一実施形態を説明するための構成図であり、(a)は半導体装置の全体の概略図、(b)は(a)における出力セル部の構成を説明するための拡大図、(c)は(b)の具体的構成のブロック図である。

【図12】従来のレベルシフト回路の一例を示す回路図である。

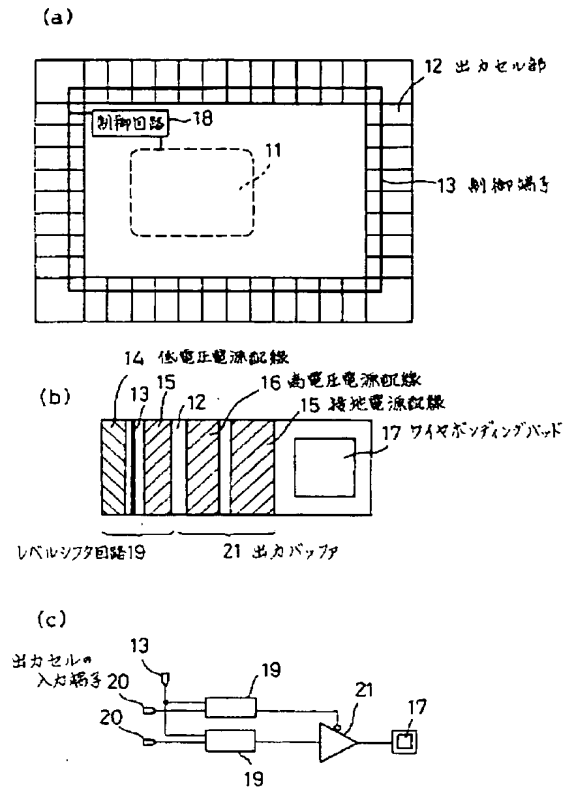
【符号の説明】

1…レベルシフト回路の差動動作回路部およびプルアップトランジスタもしくはプルダウントランジスタ、2…低電圧電源、3…接地電源、4…低電圧振幅動作の論理ブロック、5…低電圧電源供給スイッチトランジスタのコントロール端子、6…低電圧電源供給スイッチトランジスタ、7…低電圧電源動作回路の出力から高電圧電源動作回路へ入力するブロック間配線、8…ダウンコンバータ(NチャネルMOSトランジスタ)、9…レベルシフト回路の差動回路と出力プルアップトランジスタ、10…高電圧振幅動作する論理ブロック、11…半導体装置内部の論理回路部、12…出力セル部、13…レベルシフト回路の制御端子、14…出力セル内の低電圧電源配線、15…出力セルの出力バッファ回路の接地電源配線、16…出力セルの出力バッファ回路高電圧電源配線、17…ワイヤーボンディングパッド、18…スリープアクティブ制御回路、19…レベルシフト回路、20…出力セルの入力端子、21…出力バッファ部、V1…高電圧電源(実施の形態では3V電源)、A…レベルシフト回路の入力端子(低電圧振幅信号)、B…レベルシフト回路の出力端子(高電圧振幅信号)、C…レベルシフト回路の入力端子(制御端子)、D…レベルシフト回路の入力端子(制御端子)、I1…低電圧振幅インバータ、I2…低電圧振幅インバータ、I3…高電圧振幅インバータ、N1、N2…レベルシフト回路のノード、TP1、TP2、TP3…PチャネルMOSトランジスタ、TN1、TN2、TN3、TN4、TN5…NチャネルMOSトランジスタ、LTN1、LTN2…高駆動電流(高オフリーク電流、低耐圧)NチャネルMOSトランジスタ。

[illegible]



【図11】



【図12】

